組別：202611

專題名稱：低電壓高速互補式動態漏電自我抑制反及閘與及閘設計

一、 指導老師：高銘政老師、林進發老師

二、 組　　員：林宗承(11230011)、沈駿霖(11230028)、李秉宸(11230039)

三、 系統環境：

(一)軟體：EDA Cloud、Hspice、CosmosScope

(二)硬體：電流表、電源供應器、訊號產生器、示波器

四、 系統功能與特色：

本系統專為需長時間待機的物聯網感測晶片所開發，目的在解決超低功耗電路中速度與漏電難以兼顧的技術痛點。在硬體架構上，本設計捨棄傳統單端輸出的動態漏電抑制邏輯（DLS）(Fig.1)，提出創新的「互補式動態自我漏電抑制技術（CDLSS）」(Fig.2)，其具備適應不同邏輯狀態的智慧化動態漏電抑制機制（Fig.3），內部節點能自發性地精準阻斷漏電流以確保極低待機功耗。透過此互補對稱的反饋結構，系統在微幅增加佈局面積與靜態漏電流的代價下，成功大幅提升了電路的操作速度，有效克服過去架構的效能瓶頸。為確保設計的產業實用性，本團隊已將此核心邏輯單元實作成完整的運算電路並成功完成晶片下線製作，最終透過實體驗測平台的波形與功耗分析，以實際量測數據完整驗證了該系統的功能與卓越性能（Fig.4）。

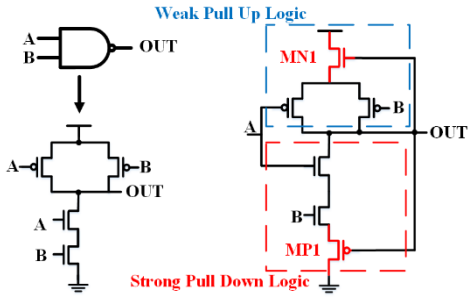


Fig.1 傳統NAND、DLS架構圖

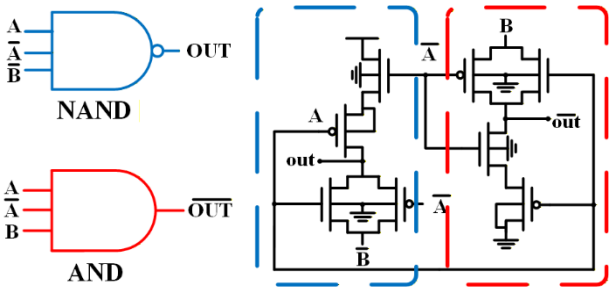


Fig.2所提出之電路設計

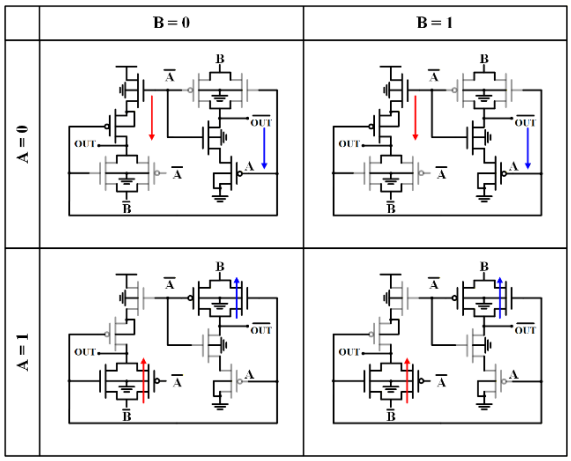


Fig.3邏輯狀態切換與做動路徑

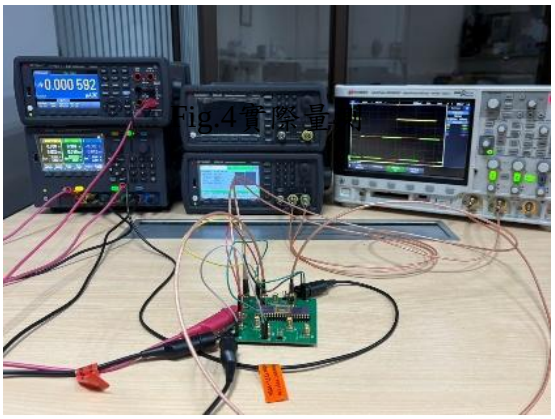


Fig.4實際量測